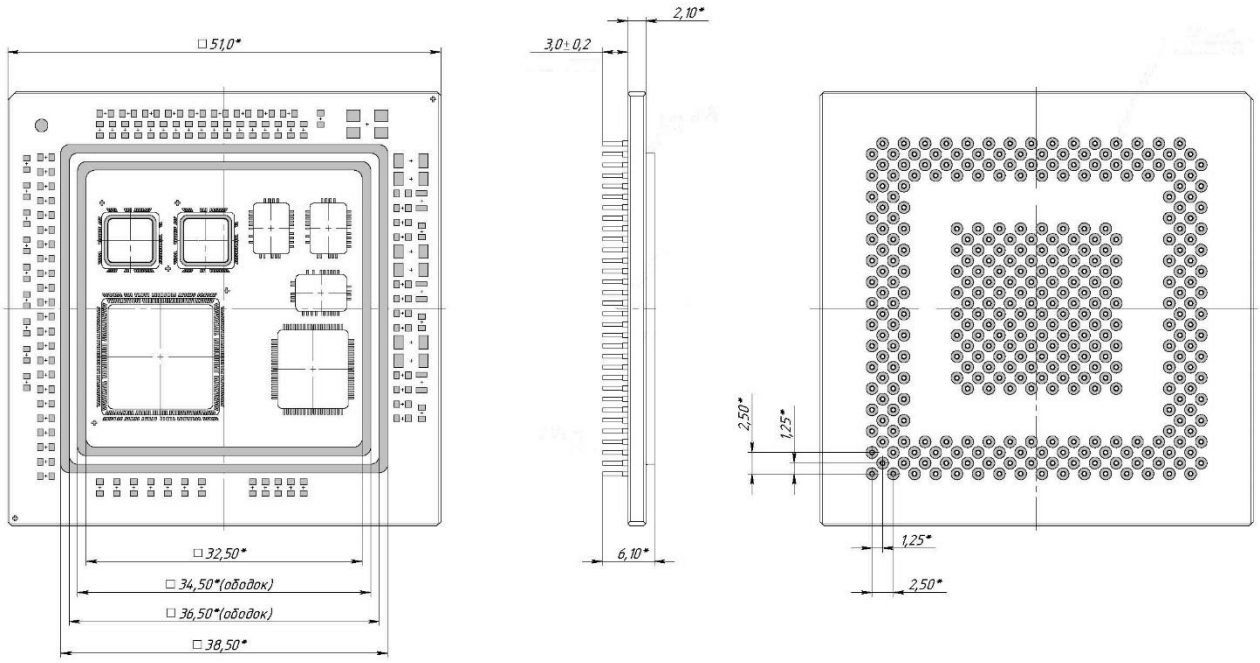
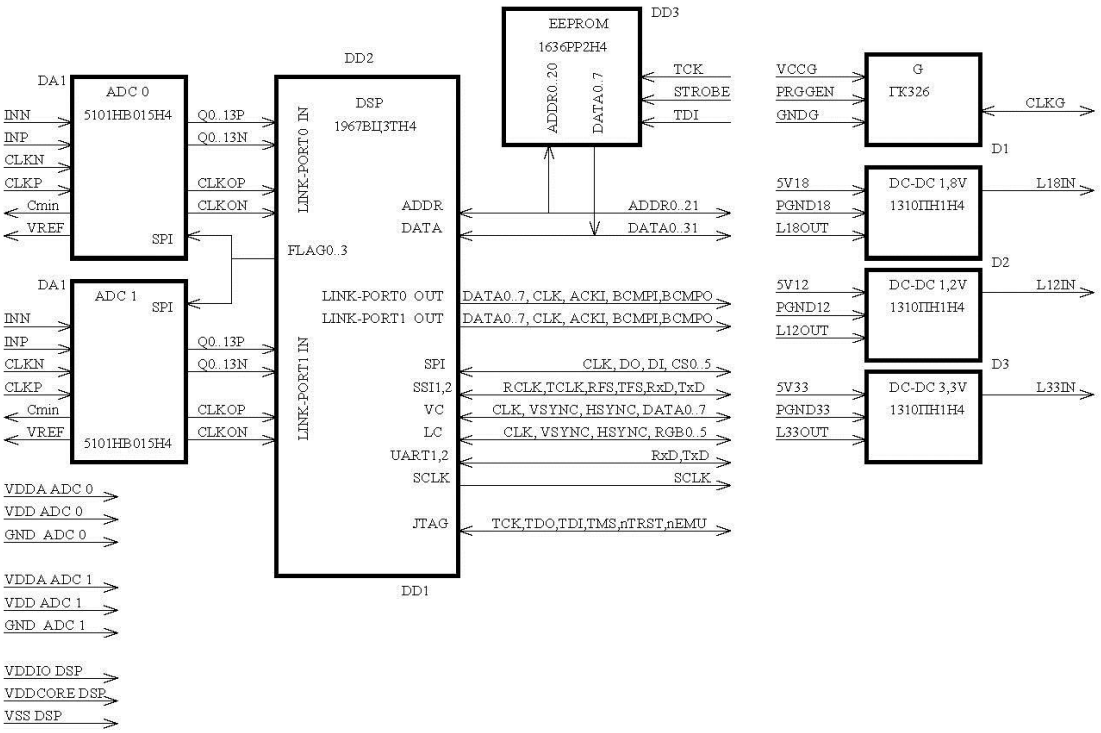
Платформа для создания систем радиосвязи, радиолокации и управления



Обозначение - микросборка «Осведомленность» ТСКЯ.431281.006
Корпус – металлокерамический, 352 вывода типа PGA, шаг 1,25 мм.



Структурная схема микросборки

Основные параметры и характеристики микросборки

Тип сигнального процессора	1967ВЦ3Т (ядро - аналог ADSP-TS201)
Максимальная тактовая частота	
- ядра сигнального процессора	300 МГц
- внешней шины процессора	80 МГц
Максимальная пропускная способность	
- внутренней памяти (3 блока 128К х 32 бит)	16,8 Гбайт/с
- внешней шины (32 бит адреса, 32 бит данных)	320 Мбайт/с
- LVDS LINK-портов (2 восьмиразрядных порта)	600 Мбайт/с

Встроенные контроллеры интерфейсов

- Количество SPI интерфейсов – 6
- Количество SSI интерфейсов – 2
- Количество интерфейсов видеокамеры – 1
- Количество интерфейсов ЖКИ – 1
- Количество каналов манчестер - 2 (с резервными каналами)
- Количество каналов ARINC - 4 (с резервными каналами)
- Количество каналов GPS - 2

Тип АЦП	5101НВ015
Число каналов АЦП	2
Частота преобразования АЦП	15…125 МГц
Разрядность АЦП	14
Тип и объем репрограммируемого ПЗУ	1636РР2, 2М х 8 бит
Напряжение питания DC-DC преобразователей	4,75…5,25 В
Выходные напряжения DC-DC преобразователей	
- ядра процессора	1,1…1,3 В
- АЦП	1,71…1,89 В
- схем ввода вывода процессора, опорного генератора и репрограммируемого ПЗУ	3,0…3,6 В
Потребляемая мощность	не более 2 Вт
Рабочий температурный диапазон	-40…+65°С
Масса	не более 50 г

Ключевые особенности архитектуры микросборки

- **Высокая производительность вычислительного ядра** процессора при цифровой обработке сигналов достигается за счет следующих особенностей:
  – наличие вычислительного конвейера;
  – параллельной работы двух вычислительных модулей;
  – исполнения до четырех команд за такт;
  – выборки/записи до восьми слов памяти за один такт ядра.

Вычислительный модуль ядра процессора содержит коммуникационно- логическое устройство, предназначенное для поддержки алгоритмов, используемых в коммуникационных приложениях:
  – декодирования по Витерби;
  – декодирования турбо кода;
  – сжатия частотной полосы сигнала (despreading) для систем CDMA;
  – кросс-корреляций, используемых для отыскания пути

- **Наличие аппаратной поддержки форматов данных по стандарту IEEE754** (40-битные типы данных с плавающей точкой, а также 8-, 16-, 32- и 64-битные типы данных с фиксированной точкой);

- **Средства последовательного сканирования и внутрикристальной эмуляции** в соответствии со стандартом IEEE 1149.1 JTAG;

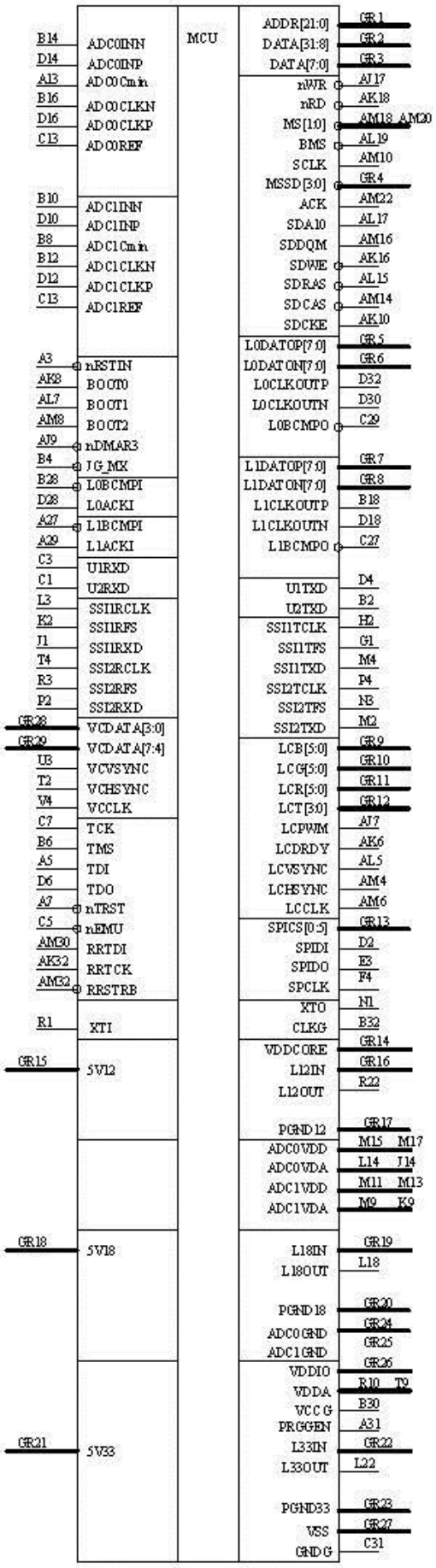
Внутренняя память каждого процессора объемом 12М бит разбита на три блока памяти по 128К 32-х разрядных слов, которые поддерживают до четырех 128-битных обращений за такт.

Внешняя шина данных имеет ширину 32 бит с возможностью прямой работы с микросхемами синхронной статической и динамической памяти. Процессор микросборки имеет два выходных восьмиразрядных LINK-порта для обмена с высокоскоростными внешними устройствами. Процессор имеет конфигурируемые порты ввода-вывода, на внешние выводы которых можно назначать функции контроллеров интерфейсов UART, SPI, SSI, LCD, MILSTD, ARINC, VideoCam, GPS.

Микросборка содержит два 14- разрядных высокоскоросных АЦП с частотой выборки 15…125 МГц.

Репрограммируемое ПЗУ микросборки обеспечивает хранение рабочих программ и программы начальной загрузки процессора.

Встроенные DC-DC преобразователи и наличие входных выводов питания внутренних элементов микросборки позволяют организовать питание микросборки от одного напряжения питания 5В или 3,3В с помощью внешней коммутации выводов. Встроенные DC-DC преобразователи миеросборки требуют установки внешних пассивных элементов – индуктивностей и фильтрующих конденсаторов.



Имя сигнала	Функция
ADDR[31:0]	Шина адреса кластера
DATA[31:0]	Шина данных кластера
MSSD[3:0]	Выбор SDRAM
RAS, CAS, SDWE, SDCKE	Стробы SDRAM
SDA10	10-й бит адреса SDRAM
MS[0:1]	Выбор внешней памяти
nRD, nWR	Стробы внешней памяти
ACK	Готовность данных
BMS	Выбор ПЗУ загрузки
ADC0 xx	Входы АЦП 0
ADC1 xx	Входы АЦП 1
L0DATON[7:0] L0DATOP[7:0] L0CLKOUTN L0CLKOUTP L0BCMPO L0ACKI	Сигналы LVSD LINK-порта 0
L1DATON[7:0] L1DATOP[7:0] L1CLKOUTN L1CLKOUTP L1BCMPO L1ACKI	Сигналы LVSD LINK-порта 1
BOOT[2..0]	Выбор способа загрузки процессора
U1RxD, U1TxD U2RxD, U2TxD	UART 1,2
SSI1 xx SSI2 xx	Сигналы контроллеров SSI 1, 2
LC xx	Сигналы контроллера LCD
VDAT[7..0], VCVSYNC, VCHSYNC, VCCLK	Сигналы контроллера VideoCam
SPI xx	Сигналы контроллера SPI
TCK, TDI, TDO, TMS, nTRST, nEMU, JG_MX	JTAG – интерфейс процессора
RRTDI, RRTCK, RRSTRB	JTAG – интерфейс ПЗУ
nRSTIN	Сброс процессора
nDMAR3	Сигнал DMA процессора
XTI	Тактовый сигнал процессора
5V12, 5V18, 5V33, PGND12, PGND18, PGND133	Входы напряжения питания DC-DC преобразователей
L12IN, L12OUT L18IN, L18OUT L33IN, L33OUT	Выходы напряжения питания DC-DC преобразователей
VDDCORE VDDIO, VDDA ADC0VDDA ADC1VDDA VCCG, GNDG VSS	Питание ядра процессоров Питание ввода-вывода,PLL Питание АЦП0 Питание АЦП1 Питание генератора Общий питания микросборки